

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-51025

(P2001-51025A)

(43)公開日 平成13年2月23日(2001.2.23)

(51)Int.Cl.⁷
G 0 1 R 31/28
35/00
G 0 6 F 11/22 3 1 0
11/25
11/28 3 4 0

識別記号

F I
G 0 1 R 31/28
35/00
G 0 6 F 11/22 3 1 0 A 5 B 0 4 8
11/28 3 4 0 C
11/28 3 1 0

テ-ヨ-ト⁸(参考)

H 2 G 0 3 2

L 5 B 0 4 2

審査請求 未請求 請求項の数3 OL (全8頁)

(21)出願番号 特願平11-228487

(22)出願日 平成11年8月12日(1999.8.12)

(71)出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72)発明者 東 晋作

東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

(72)発明者 福島 清

東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

(74)代理人 100103171

弁理士 雨貝 正彦

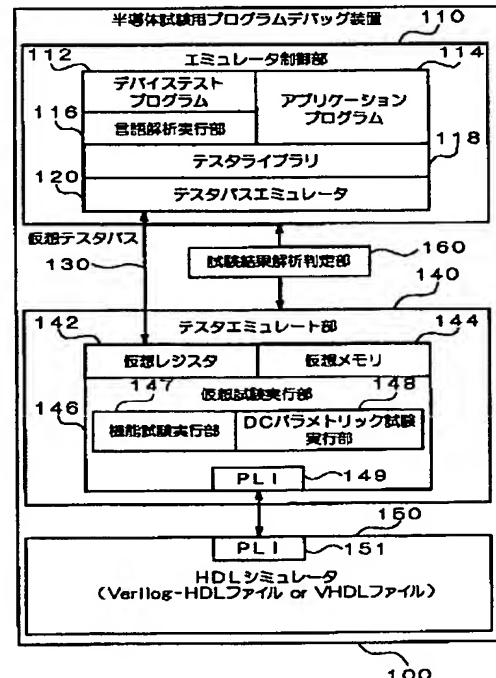
最終頁に続く

(54)【発明の名称】 半導体試験用プログラムデバッグ装置

(57)【要約】

【課題】 実際の被検査用半導体デバイスに対して半導体試験用プログラムを動作させた場合と同様の試験結果を得て、この試験結果に基づいて半導体試験用プログラムの内容を的確に検証できるようにする。

【解決手段】 テスタエミュレート部140は、汎用コンピュータのオペレーティングシステムの下でデバッグ対象となるデバイステストプログラム112を動作させ、疑似的に半導体試験装置を構成する。HDLシミュレート部150は、ハードウェア記述言語によって記述されたファイルに基づいて半導体デバイスをシミュレートする。HDLシミュレート部150によってシミュレートされた半導体デバイスは、製造による欠陥を含まない被検査用半導体デバイスと全く同じように動作する理想的な半導体デバイスとなる。この半導体デバイスに対して試験信号を供給し、試験することによって、理想的な半導体デバイスに対して試験信号を供給し、試験を行うことと等しくなり、半導体試験用プログラムが正常に動作するか否かのデバッグ精度を高めることが可能となる。



【特許請求の範囲】

【請求項1】 半導体試験用プログラムに基づいて被検査用半導体デバイスに印加される試験信号を疑似的に発生して半導体試験装置の動作をエミュレートするテスタエミュレート手段と、

ハードウェア記述言語に基づいて前記被検査用半導体デバイスをシミュレートし、シミュレートされた前記被検査半導体デバイスに前記テスタエミュレート手段から出力される前記試験信号を供給し、この試験信号の供給に応じて前記被検査用半導体デバイスから出力される信号をシミュレートして出力するハードウェア記述言語シミュレート手段と、

前記ハードウェア記述言語シミュレート手段によってシミュレートされた前記被検査用半導体デバイスから出力される信号に基づいて前記半導体試験用プログラムのデバッグを行うデバッグ手段とを含んで構成されることを特徴とする半導体試験用プログラムデバッグ装置。

【請求項2】 請求項1において、

前記ハードウェア記述言語シミュレート手段は、前記ハードウェア記述言語としてVerilog-HDLに基づいて前記被検査用半導体デバイスをシミュレートすることを特徴とする半導体試験用プログラムデバッグ装置。

【請求項3】 請求項1において、

前記ハードウェア記述言語シミュレート手段は、前記ハードウェア記述言語としてVHDLに基づいて前記被検査用半導体デバイスをシミュレートすることを特徴とする半導体試験用プログラムデバッグ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体試験装置をエミュレートして試験用プログラムの検証を行う半導体試験用プログラムデバッグ装置に関する。

【0002】

【従来の技術】従来から、出荷前のロジックICや半導体メモリ等の各種の半導体素子に対して直流試験や機能試験等を行うものとして、半導体試験装置が知られている。半導体試験装置が行う試験は大別して、機能試験と直流試験である。機能試験は、被検査用半導体デバイスに所定の試験パターン信号を与え、この試験パターン信号に対して予定通りの動作を被検査用半導体デバイスが行ったか否かを検査するものである。直流試験は、被検査用半導体デバイスの各端子の直流特性が予定した特性を満たしているか否かを検査するものである。例えば、既知の電圧を印加した場合に予定通りの電流が端子から取り出せるか否かを試験する電圧印加電流測定試験、または既知の電流を流したり取り出したりした場合に予定通りの電圧が端子に発生しているか否かを試験する電流印加電圧測定試験などがある。また、機能試験を行う場合でも、ハイレベル時の電圧を正規の電圧値、例えば5

ボルトよりも低い値の4ボルトに設定したり、またはローレベル時の電圧を正規の電圧値、例えば0ボルトよりも高い値の0.5ボルトに設定したり、被検査用半導体デバイスに印加される電圧条件や電流条件などを種々変更して行う場合が多い。

【0003】機能試験や直流試験を行う場合にどのような項目の試験をどのような条件で行うかの各種の条件は予め半導体試験用プログラムに組み込まれているので、この半導体試験用プログラムを動作させることによって被検査用半導体デバイスの各種試験を行うことができる。しかしながら、半導体試験用プログラムは、試験項目の設定、試験条件の設定、試験の実行、試験結果の判定などといった多岐に渡る動作を制御しなければならず、膨大なステップのプログラムで構築されている。この半導体試験用プログラムは被検査用半導体デバイスの種類が変更になったり、そのロジックが変更になったりした場合、それに併せて種々変更されなければならない。半導体試験用プログラムが新規に作成されたり、変更された場合にそのプログラム自体が正常に動作するものなのか否か、そのプログラムの評価を行わなければならない。その一方で、実際の半導体試験装置を用いて予め良否の分かっている被検査用半導体デバイスに対して、半導体試験用プログラムを動作させて、そのプログラムの評価を行っていた。しかし、半導体試験装置自体が高価であって導入台数も少ないとことから、実際の半導体試験装置を用いて半導体試験用プログラムが正常に動作するか否かの評価を行うことは、半導体試験のラインを停止することになり、好ましくない。そこで、従来は、実際の半導体試験装置を用いて半導体試験用プログラムの評価を行うのではなく、ワークステーション等の汎用コンピュータを用いて半導体試験装置をエミュレートして、その半導体試験用プログラムが正常に動作しているか否かの検証を行っていた。

【0004】このように半導体試験装置をエミュレートするものとして、例えば特開平9-185519号公報に記載されたようなものがある。これは、半導体試験用プログラムが正常に動作するか否かを試験するためのデバッグ装置に関するものである。これは、汎用コンピュータのオペレーティングシステムの下でデバッグ対象となる半導体試験用プログラムを動作させることによって、疑似的な半導体試験装置を構成している。この疑似的な半導体試験装置にインターフェース部を介して仮想被試験素子部、試験条件設定部、試験項目設定部、試験結果格納部などを接続し、この仮想被試験素子部に設定された仮想データを、試験条件設定部に設定された試験条件にしたがって読み込むことによって擬似的な機能試験や直流試験を行っている。

【0005】

【発明が解決しようとする課題】ところで、上述した従来のデバッグ装置は、実際の被検査用半導体デバイスを

用いるわけではなく、半導体試験用プログラムによる機能試験を実際の被検査用半導体デバイスを用いた場合と同等に行なうことができなかった。このため、半導体試験用プログラムをデバッグしようとした場合に、被検査用半導体デバイスの機能にしたがった論理の遷移と、期待値との一致不一致とを十分に判定することができず、結果として半導体試験用プログラムの内容を的確に検証することができなかった。

【0006】この発明は、このような点に鑑みて創作されたものであり、その目的は、実際の被検査用半導体デバイスに対して半導体試験用プログラムを動作させた場合と同様の試験結果を得て、この試験結果に基づいて半導体試験用プログラムの内容を的確に検証することができる半導体試験用プログラムデバッグ装置を提供することにある。

【0007】

【課題を解決するための手段】上述の課題を解決するために、請求項1に記載された半導体試験用プログラムデバッグ装置は、半導体試験用プログラムに基づいて被検査用半導体デバイスに印加される試験信号を疑似的に発生して半導体試験装置の動作をエミュレートするテスタエミュレート手段と、ハードウェア記述言語に基づいて前記被検査用半導体デバイスをシミュレートし、シミュレートされた前記被検査半導体デバイスに前記テスタエミュレート手段から出力される前記試験信号を供給し、この試験信号の供給に応じて前記被検査用半導体デバイスから出力される信号をシミュレートして出力するハードウェア記述言語シミュレート手段と、前記ハードウェア記述言語シミュレート手段によってシミュレートされた前記被検査用半導体デバイスから出力される信号に基づいて前記半導体試験用プログラムのデバッグを行うデバッグ手段とを含んで構成されるものである。

【0008】テスタエミュレート手段は、汎用コンピュータのオペレーティングシステムの下でデバッグ対象となる半導体試験用プログラムを動作させ、疑似的に半導体試験装置を構成するものである。ハードウェア記述言語シミュレート手段は、Verilog-HDL又はVHDL等のハードウェア記述言語によって記述されたファイルに基づいて半導体デバイスをシミュレートするものである。従って、ハードウェア記述言語シミュレート手段によってシミュレートされた半導体デバイスは、製造による欠陥を含まない被検査用半導体デバイスと全く同じように動作する理想的な半導体デバイスなので、この半導体デバイスに対して試験信号を供給し、試験することによって、理想的な半導体デバイスに対して試験信号を供給し、試験を行うことと等しくなり、半導体試験用プログラムが正常に動作するか否かのデバッグ精度を高めることが可能となる。

【0009】

【発明の実施の形態】以下、本発明に係る半導体試験用

プログラムデバッグ装置の一実施の形態について、図面を参照しながら説明する。図1は、半導体試験用プログラムデバッグ装置の全体構成を示す図である。デバッグ装置100は、半導体試験装置の動作をエミュレートし、かつ被検査用半導体デバイスの動作をシミュレートすることによって、半導体試験用プログラムが正常に動作するか否かを検証するためのものであり、ワークステーション等の汎用コンピュータによって実現される。

【0010】この実施の形態に係るデバッグ装置100は、実際の半導体試験装置及び被検査用半導体デバイスの動作を模擬するものなので、その詳細な説明を行う前に、模擬される半導体試験装置の構成について説明する。

【0011】図2は、実際の半導体試験装置の全体構成を示す図である。同図では、半導体試験装置200に実際の被検査用半導体デバイス250が接続された状態が示されている。半導体試験装置200は、被検査用半導体デバイス250に対して各種の直流試験(DCバラメトリック試験)や機能試験を行うものである。半導体試験装置200は、テスタ制御部210、テスタバス230、テスタ本体240、被検査用半導体デバイス250を搭載するソケット部(図示せず)を含んで構成されている。

【0012】テスタ制御部210は、テスタ本体240の動作を制御するためのものであり、半導体試験用プログラム(デバイステストプログラム)212、アプリケーションプログラム214、言語解析実行部216、テスタライブラリ218、テスタバスドライバ220を含んで構成されている。

【0013】デバイステストプログラム212は、ユーザーが半導体試験装置200を用いて、被検査用半導体デバイス250に対してどのような試験を行うのか、その手順や方法を記述したものである。一般的にこのデバイステストプログラムは、半導体試験装置200のユーザーによって開発作成されるものである。従って、ユーザーは実際の半導体試験装置200を用いることなく、この実施の形態に係るデバッグ装置100を用いて自分の作成したデバイステストプログラム212が正常に動作するか否かの検証を行い、完成度の高いデバイステストプログラムを作成することができる。言語解析実行部216は、デバイステストプログラム212の構文解析などをを行い、デバイステストプログラム212に従って半導体試験装置200を忠実に動作させる中心的な役割を果たすものである。アプリケーションプログラム214は、デバイステストプログラム212及び言語解析実行部216と連携して動作するものであり、機能試験及び直流試験に対応した実際の試験信号等を被検査用半導体デバイス250に印加し、その出力信号を取り込んで被検査用半導体デバイス250の良否を判定したり、特性を解析するものである。テスタライブラリ218は、言語解

析実行部216によって構文解析が行われた後のデバイステストプログラム212の命令をレジスタレベルの命令（後述するレジスタ242へのデータ書き込み命令及びレジスタ242からのデータ読み出し命令に関するデータ）に変換して、半導体試験装置200の動作に必要なデータの作成や設定を行うとともに、テスタ本体240に対して測定動作を指示する。テスタバスドライバ220は、テスタバス230を介して、テスタライブラリ218によって作成されたデータをテスタ本体240内のレジスタ242に転送する。

【0014】テスタ本体240は、テスタバス230を介して取り込まれたテスタ制御部210からのデータに基づいて被検査用半導体デバイス250に対して各種の試験を行う。テスタ本体240は、レジスタ242とメモリ244と試験実行部246とを含んで構成される。レジスタ242は、テスタバス230を介して取り込まれたテスタライブラリ218からのデータを格納する。このレジスタ242に格納されたデータは、直接あるいはメモリ244を介して試験実行部246に出力される。また、レジスタ242及びメモリ244は、試験実行部246からの試験結果に関するデータを格納する試験結果格納領域（図示せず）を有する。

【0015】試験実行部246は、機能試験実行部247およびDCパラメトリック試験実行部248を備えている。試験実行部246は、レジスタ242やメモリ244に格納されたテスタライブラリ218からのデータに基づいて、被検査用半導体デバイス250に対して機能試験やDCパラメトリック試験を行い、その試験結果のデータをレジスタ242やメモリ244の試験結果格納領域に格納する。レジスタ242及びメモリ244に格納された試験結果データは、テスタドライバ220によってテスタバス230を介して直接テスタライブラリ218に取り込まれる。なお、メモリ244に格納された試験結果データは、レジスタ242を介してテスタライブラリ218に取り込まれる。

【0016】図1のデバッグ装置100は上述の半導体試験装置200の全体動作をエミュレートすると共に被検査用半導体デバイス250の動作をシミュレートするものである。従って、半導体試験装置200用に作成されたデバイステストプログラム112を図1のデバッグ装置100を用いて実行すると、そのデバイステストプログラム112の動作がユーザの意図したものと一致するか否かを調べることができる。次に、この実施の形態に係るデバッグ装置100の構成について説明する。

【0017】図1に示すエミュレータ制御部110は、デバイステストプログラム112、アプリケーションプログラム114、言語解析実行部116、テスタライブラリ118、テスタバスエミュレータ120を含んで構成されている。このエミュレータ制御部110は、テスタエミュレート部140の動作を制御するためのもので

あり、図2に示した半導体試験装置200に含まれるテスト制御部210と基本的に同じ動作を行う。

【0018】デバイステストプログラム112は、半導体試験装置200を用いて被検査用半導体デバイス250に対してどのような試験を行うのか、その手順や方法を記述したものであり、デバッグ装置100によってデバッグの対象となるプログラムである。従って、図2のデバイステストプログラム212がそのままこのデバイステストプログラム112として移植され、同様の動作10を行うように構成される。アプリケーションプログラム114、言語解析実行部116及びテスタライブラリ118についても同様に、図2のアプリケーションプログラム214、言語解析実行部216及びテストライブラリ218がそのまま移植され、同様の動作を行うように構成される。テスタバスエミュレータ120は、エミュレータ制御部110とテスタエミュレート部140との間を仮想的に接続する仮想テスタバス130を駆動し、この仮想テスタバス130を介してテスタライブラリ118とテスタエミュレート部140との間のデータの送受を制御する。

【0019】テスタエミュレート部140は、図2のテスタ本体240の動作をソフトウェアで実現したものであり、エミュレータ制御部110内のテスタライブラリ118の動作指示に応じてハードウェア記述言語（HDL）シミュレータ150に対する模擬的な試験を行う。テスタエミュレート部140は、仮想レジスタ142と仮想メモリ144と仮想試験実行部146を含んで構成されている。仮想レジスタ142は、テスタライブラリ118からのデータを格納する。この仮想レジスタ142に格納されたデータは、直接あるいは仮想メモリ144を介して仮想試験実行部146に送られる。また、仮想レジスタ142と仮想メモリ144は、仮想試験実行部146から出力される仮想試験結果データを格納する試験結果格納領域（図示せず）を有する。

【0020】仮想試験実行部146は、機能試験実行部147及びDCパラメトリック試験実行部148を備えている。この仮想試験実行部146は、仮想レジスタ142に格納されたテスタライブラリ118からのデータに基づいて、HDLシミュレート部150に対して所定の信号を出力して、機能試験実行部147による機能試験やDCパラメトリック試験実行部148によるDCパラメトリック試験を行い、その仮想試験結果データを仮想レジスタ142や仮想メモリ144の試験結果格納領域に格納する。仮想レジスタ142及び仮想メモリ144に格納された仮想試験結果データは、仮想テスタバス130を介してテスタライブラリ118に出力される。試験結果解析判定部160は、仮想レジスタ142や仮想メモリ144又はテスタライブラリ118に格納されている仮想試験結果データと、予想される試験結果の期待値とを比較検討し、デバイステストプログラム112

が正常に動作しているか否かの検証を行い、その結果をユーザに表示する。例えば、デバイステストプログラム112の実行によって誤った試験結果が得られた場合は、その誤った試験結果の原因となるプログラムの行番号等をモニタ(図示せず)上に表示したり、プリンタ(図示せず)で印字したりする。

【0021】次に、テスタエミュレート部140の動作について説明する。テスタエミュレート部140は、仮想テスタバス130から仮想レジスタ142へのアクセスが入ると、仮想レジスタ142のアドレスをもとにそのアクセスが仮想レジスタ142との部分へのアクセスかを計算し、その場所にデータを書き込んだり、その場所からデータを読み出したりする。また、テスタエミュレート部140は、仮想レジスタ142のアクセスを介して仮想メモリ144へのアクセスが生じると、固有の仮想メモリ144に対してデータを書き込んだり、データを読み出したりする。この場合、一般的に一つの仮想レジスタ142だけでは仮想メモリ144に対してデータを読み書きするのに十分な情報を得ることはできない。そこで、この実施の形態では、テスタエミュレート部140は関連する仮想レジスタ142の内容を参照して、仮想メモリ144に対するデータの読み書きをも行うようにしている。なお、図2の半導体試験装置200と同様の処理を行う場合は、仮想メモリ144に格納された仮想試験結果データは、仮想レジスタ142及び仮想テスタバス130を介してテスタライブラリ118に出力されることになるが、デバッグ装置100の場合には、仮想メモリ144に格納された仮想試験結果を直接テスタライブラリ118に出力するように構成してもよい。

【0022】テスタエミュレート部140に対して、波形の発生(機能試験)を開始するレジスタがアクセスされた場合、第1のタスクにおいて仮想試験実行部146による波形の発生処理を行う。このとき、波形発生に関する必要なデータは仮想レジスタ142及び仮想メモリ144に予め格納されているので、仮想試験実行部146はそれを参照しながら波形を発生する。仮想試験実行部146によって発生された波形は、プログラミング言語インターフェイス(PLI: Programming Language Interface)149, 151を介してHDLシミュレート部150に転送される。HDLシミュレート部150は入力された波形に基づいて実際の被検査用半導体デバイス250と全く同じ動作をシミュレートする。HDLシミュレート部150によってシミュレートされた結果の出力ビンデータは再び仮想試験実行部146にフィードバックされ、そこで期待値と比較され、その結果が所定の仮想レジスタ142及び仮想メモリ144に格納される。上述の一連の動作はテスタエミュレート部140の動作サイクル毎に実行処理される。

【0023】HDLシミュレート部150は、Veri

log-HDL又はVHDL等のハードウェア記述言語によって記述されたファイルに基づいた半導体デバイスをシミュレートするものである。すなわち、HDLシミュレート部150は、図2に示す実際の被検査用半導体デバイス250の設計時におけるVerilog-HDLファイル又はVHDLファイルに基づいて、製品そのものの半導体デバイスをシミュレートしているので、シミュレートされた半導体デバイスは、製造による欠陥を含むことなく、被検査用半導体デバイス250と全く同じように動作する理想的な半導体デバイスとなる。従って、テスタエミュレート部140は、このような理想的な半導体デバイスに対して試験を行うことになる。なお、HDLシミュレート部150と仮想試験実行部146との間は、プログラミング言語インターフェイス149, 151を介して接続され、試験信号及び試験結果のやりとりが行われるようになっている。

【0024】なお、テスタエミュレート部140はテスターを構成するロジック部品を一つ一つシミュレートすることは行わず、テスターの性質に着目して、タイミングデータや波形フォーマットをメインに波形データをイベント形式に1サイクル分作り出してHDLシミュレート部150に供給している。HDLシミュレート部150はそれを構成するロジック部品をイベント・ドリブン方式により一つ一つシミュレートし、1テスタサイクルが完了するまで実行する。そして、1テスタサイクルが終了した時点でその内部状態を保持したまま、シミュレートを打ち切って、そのサイクル中の出力変化をイベント形式でテスタエミュレート部140に転送する。テスタエミュレート部140はHDLシミュレート部150からの1サイクル分の出力変化を再び解析し、期待値と比較し、バス/フェイブルの判定結果を仮想レジスタ142や仮想メモリ144に格納する。このような動作を行うことによって、テスタエミュレート部140の波形発生の効率が良くなる。また、サイクル毎にデータを処理しているのでデータの転送効率が良くなる。また、場合によっては、複数サイクルをまとめて処理してもよい。

【0025】上述したエミュレータ制御部110及びテスタエミュレート部140がテスタエミュレート手段に、ハードウェア記述言語シミュレート部150がHDLシミュレート手段に、試験結果解析判定部160がデバッグ手段にそれぞれ対応する。

【0026】図1のデバッグ装置100の動作を図面を用いて説明する。図3は、直流試験(DCパラメトリック試験)又は機能試験用のデバイステストプログラム112を実行した場合におけるデバッグ装置100の動作手順を示す流れ図である。このフローは、ユーザがデバイステストプログラム112のデバッグ動作を指示することによって処理を開始する。まず、ステップ100でデバッグ動作の対象となるデバイステストプログラム112が実行される。次にステップ101でエミュレータ

50

制御部110内の言語解析実行部116がデバイステストプログラム112の構文解析を行う。言語解析実行部116によって構文解析が行われた後、ステップ102でテスタライブラリ118がデバイステストプログラム112の命令をレジスタレベルの命令に変換し、それに基づいてデバッグ装置100の動作に必要なデータを作成し、これらのデータをテスタエミュレート部140内の仮想レジスタ142に格納する。仮想レジスタ142へのデータの格納が終了すると、ステップ103でエミュレータ制御部110はテスタエミュレート部140に対して測定動作を指示する。

【0027】エミュレータ制御部110から測定動作の指示を受けたテスタエミュレート部140は、エミュレータ制御部110内のテスタライブラリ118の動作指示に応じてHDLシミュレート部150に対して擬似的な機能試験又は直流試験(DCパラメトリック試験)を行う。具体的には、ステップ104でエミュレータ制御部110内のテスタライブラリ118の動作指示に応じて、仮想試験実行部146内の機能試験実行部147又はDCパラメトリック試験実行部148が、仮想レジスタ142に格納されたデータに基づいた所定の試験信号をHDLシミュレート部150に出力する。ステップ105で、HDLシミュレート部150は、Verilog-HDLファイル又はVHDLファイルに基づいてシミュレートされた被検査用半導体デバイスに試験信号を印加し、機能試験又は直流試験(DCパラメトリック試験)を行い、その試験結果に対応した測定値を出力する。HDLシミュレート部150から測定値が出力されると、ステップ106で、機能試験実行部147又はDCパラメトリック試験実行部148は、この測定値を仮想試験結果データとして、仮想レジスタ142や仮想メモリ148に格納する。仮想レジスタ142や仮想メモリ148に格納された仮想試験結果データは、ステップ107でエミュレータ制御部110内のテスタライブラリ118に出力され、テスタライブラリ118は、この仮想試験結果データに対応する所定の処理を行う。

【0028】なお、デバイステストプログラム112には種々の測定結果に対応してどのような動作を行うかが予め記述されているので、仮想試験結果データに対応してテスタライブラリ118の行う処理が、プログラム作成者の意図したものであれば、デバイステストプログラム112の該当箇所に誤りのないことが検証される。反対に、仮想試験結果データに対応してテスタライブラリ118の行う処理が、プログラム作成者の意図したものでなければ、デバイステストプログラム112の該当箇所に誤りがあることが検証される。このようにしてデバイステストプログラム112のデバッグ動作が行われる。

【0029】このように、HDLシミュレート部150は、実際の被検査用半導体デバイス250の設計時にお

けるVerilog-HDLファイル又はVHDLファイルに基づいて半導体デバイスをシミュレートしており、製造誤差や製造欠陥のない理想的な半導体デバイスに対して試験を行うことになるので、実際に製造された良品の被検査用半導体デバイスを用いた場合よりもバラツキが少なく、試験時における動作を的確にエミュレートすることができ、デバイステストプログラム112のデバッグの精度を高めることが可能となる。

【0030】また、上述した実施の形態では、被検査用半導体デバイス250の試験を行うデバイステストプログラムをデバッグするデバッグ装置100について考えたが、被検査用半導体デバイスの種類としては、Verilog-HDLファイル又はVHDLファイルによって特定される半導体メモリ、各種のプロセッサ、ロジック用のIC等、様々なものが考えられる。

【0031】なお、上述の実施の形態では、実際の被検査用半導体デバイスの設計時におけるVerilog-HDLファイル又はVHDLファイルに基づいて半導体デバイスをシミュレートする場合について説明したが、半導体試験用プログラムデバック用に特別に作成されたVerilog-HDLファイル又はVHDLファイルを用いて半導体デバイスをシミュレートするようにしてもよい。

【0032】また、上述の実施の形態では、半導体試験用プログラムをデバッグする場合について説明したが、正式な半導体試験用プログラムを用いてVerilog-HDLファイル又はVHDLファイルに基づいてシミュレートされた半導体デバイスを試験することによって、Verilog-HDLファイル又はVHDLファイルをデバッグするようにしてもよい。

【0033】
【発明の効果】上述したように本発明によれば、実際の被検査用半導体デバイスに対して半導体試験用プログラムを動作させた場合と同様の試験結果を得て、この試験結果に基づいて半導体試験用プログラムの内容を的確に検証することができるという効果がある。

【図面の簡単な説明】

【図1】本実施形態のデバッグ装置の全体構成を示す図である。

【図2】半導体試験装置の全体構成を示す図である。

【図3】デバイステストプログラムを実行した場合のデバッグ装置の動作手順を示す流れ図である。

【符号の説明】

100 デバッグ装置

110 エミュレータ制御部

112 デバイステストプログラム

140 テスタエミュレート部

146 仮想試験実行部

147 機能試験実行部

148 DCパラメトリック試験実行部

11

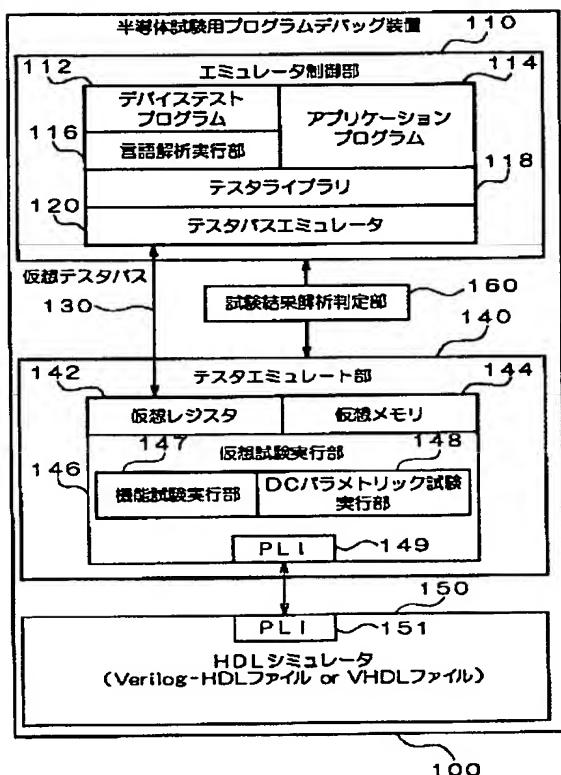
150 HDLシミュレート部

149, 151 プログラミング言語インターフェイス*

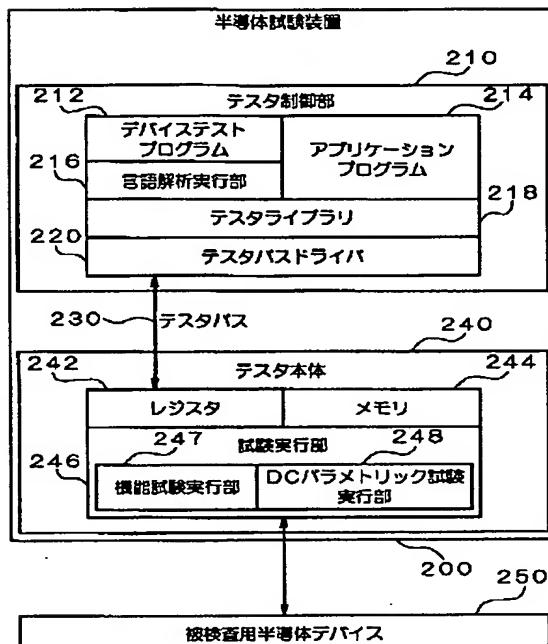
12

*160 試験結果解析判定部

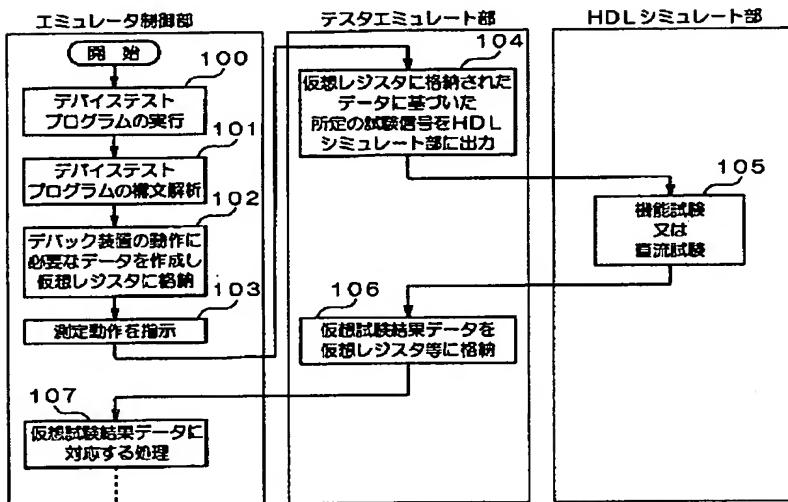
【図1】



【図2】



【図3】



フロントページの続き

F ターム(参考) 2G032 AA01 AA07 AB01 AC08 AD02
AE12 AL00
5B042 HH07
5B048 AA20 BB05 DD04 DD15